

①

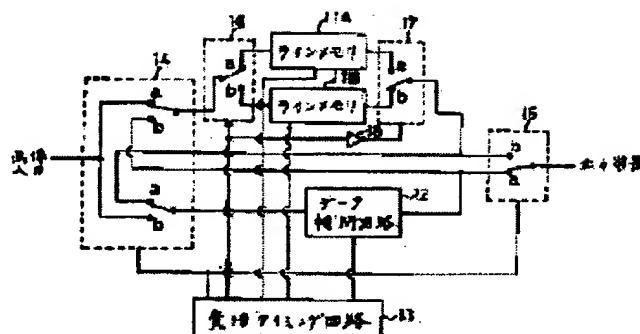
PICTURE PROCESSOR

Patent number: JP7023214
Publication date: 1995-01-24
Inventor: MORITA HIDEKI; others: 02
Applicant: KONICA CORP
Classification:
- international: H04N1/393; G06T1/60; G06T3/40
- european:
Application number: JP19930149055 19930621
Priority number(s):

Abstract of JP7023214

PURPOSE: To simplify the picture processor and to reduce the cost through the reduction in a capacity of a line memory.

CONSTITUTION: The picture processing section is provided with selectors 14, 15 selecting the set position of line memories 11A, 11B and a data interpolation circuit 12 generating magnified/reduced picture data. Then a couple of the line memories 11A, 11B are switched so that a couple of the line memories 11A, 11B are placed to a pre-stage of the data interpolation circuit 12 at magnification and a couple of the line memories 11A, 11B are placed to a post-stage of the data interpolation circuit 12 at reduction.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-23214

(43) 公開日 平成7年(1995)1月24日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/393		4226-5C		
G 0 6 T 1/60				
3/40				
		8420-5L	G 0 6 F 15/ 64	4 5 0 D
			15/ 66	3 5 5 C
			審査請求 未請求	請求項の数 5 O L (全 8 頁)

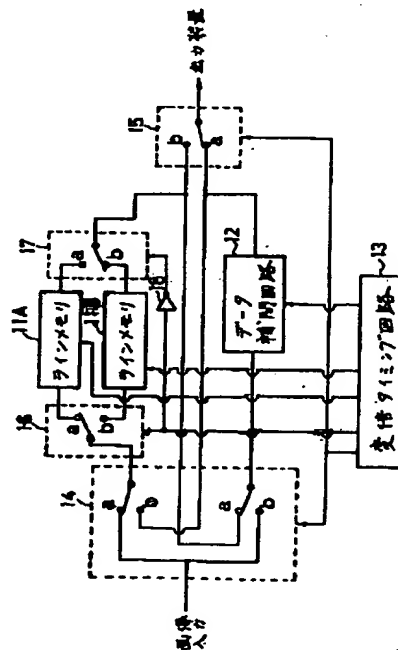
(21) 出願番号	特願平5-149055	(71) 出願人	000001270 コニカ株式会社 東京都新宿区西新宿1丁目26番2号
(22) 出願日	平成5年(1993)6月21日	(72) 発明者	森田 秀樹 東京都八王子市石川町2970番地 コニカ株式会社内
		(72) 発明者	長谷部 孝 東京都八王子市石川町2970番地 コニカ株式会社内
		(72) 発明者	熊田 辰男 東京都八王子市石川町2970番地 コニカ株式会社内
		(74) 代理人	弁理士 笹島 富二雄

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 ラインメモリの削減により画像処理装置の簡素化及びコストダウンを実現する。

【構成】 画像処理部に、2走査線分の一つのラインメモリ11A、11Bと、拡大・縮小画像データを作成するデータ補間回路12との位置を切替えるセクタ14、15を設ける。そして、拡大時は一対のラインメモリ11A、11Bをデータ補間回路12の前段に位置させ、縮小時はデータ補間回路12の後段に一対のラインメモリ11A、11Bを位置させるように、セクタ14、15を切り換える。



1

【特許請求の範囲】

【請求項 1】画像情報を光電変換して読み取った A/D 変換後の画像データを用いて、主走査方向の画像データを電氣的に拡大・縮小する画像処理を行い、出力装置への出力を行う画像処理装置であって、クロックに同期して画像処理部に連続的に画像データが入力され、画像処理部で拡大・縮小処理された変換画像データが前記クロックに同期して画像処理部から連続的に出力装置へ出力される構成のものにおいて、

画像処理部に、少なくとも拡大・縮小の倍率に応じて前記画像データを拡大・縮小処理して変換画像データを作成するデータ補間部と、2 走査線分の一對のラインメモリとを備え、

拡大時は前記一對のラインメモリがデータ補間部の前段に位置するように、また縮小時は前記一對のラインメモリがデータ補間部の後段に位置するように、一對のラインメモリとデータ補間部との位置を切り換える切換手段と、

拡大時は一方のラインメモリへ画像データを連続的に入力すると同時に他方のラインメモリに書き込まれた 1 走査線分の画像データを拡大倍率に応じて間欠的に読み出してデータ補間部へ画像データを入力し、且つ、データ補間部から拡大処理された変換画像データを連続的に出力し、縮小時は画像データをデータ補間部へ直接連続的に入力し、且つ、データ補間部から一方のラインメモリへ変換画像データを縮小倍率に応じて間欠的に書き込むと同時に他方のラインメモリに書き込まれた変換画像データを連続的に読み出し出力装置へ出力するよう拡大・縮小時のタイミングを制御する拡大・縮小タイミング制御手段と、

を備えて構成したことを特徴とする画像処理装置。

【請求項 2】前記ラインメモリがランダムアクセス可能なメモリ構造である時、拡大時に倍率に応じてラインメモリからの読み出し開始アドレスを指定でき、縮小時に倍率に応じてラインメモリへの書き込みアドレスを指定できる構成としたことを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】前記ラインメモリがファーストイン・ファーストアウト構造のメモリである時、拡大時に倍率に応じてラインメモリへの書き込み開始位置を設定でき、縮小時に倍率に応じてラインメモリからの読み出し開始位置を設定できる構成としたことを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】前記拡大・縮小タイミング制御手段は、少なくとも 1 つの加算器と、該加算器の出力を記憶するラッチ回路とを備えて構成され、前記加算器の一方の入力には、変換倍率の逆数が入力され、他方の入力には前記ラッチ回路出力の少数部が入力され、前記ラッチ回路出力の整数部の値に応じて拡大・縮小処理時の読み出し、書き込みのタイミングを制御するように構成したことを

2

特徴とする請求項 1 記載の画像処理装置。

【請求項 5】拡大時には前記拡大・縮小タイミング制御手段のラッチ回路出力の整数部が“0”のときラインメモリからの読み出しを休みデータ補間部にて使用するデータを前回と同じデータとし、前記整数部が“1”のとき次のデータが読み出されるようにし、縮小時には前記ラッチ回路出力の整数部が“1”のときラインメモリに新たなデータを書き込み、前記整数部が“2”のときラインメモリにデータを書き込まないようにし且つ前記加算器からの出力を 1 回のみラッチ回路に取り込むのを停止するよう構成したことを特徴とする請求項 4 記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像情報を光電変換して読み取った A/D 変換後の画像データを用いて、主走査方向の画像データを電氣的に拡大・縮小する画像処理を行い、出力装置への出力を行う画像処理装置に関する。

【0002】

【従来の技術】従来、この種の画像処理装置において、クロックに同期して画像処理部に読み取った画像データを連続的に入力し、画像処理部で拡大・縮小処理された変換画像データを前記クロックに同期して画像処理部から連続的に出力装置へ出力することが望ましい。

【0003】ところで、CCD 等の光電変換素子を用いて読み取った画像を拡大・縮小処理する場合、原面の画像データに対して、拡大・縮小倍率に応じて画像データを増大したり、間引いたりすることによって拡大・縮小された画像信号を得るようにしているのが一般的である。従って、拡大・縮小時に原面の画像データに対して画像データの増減があるにも拘らず、画像処理部の画像データの入出力を同一のクロックに同期させて連続に行うために、画像処理部の入出力側にそれぞれ一對のラインメモリを備えた入力バッファと出力バッファを設けるようにしたものが提案されている（特開昭 63-95775 号公報等参照）。

【0004】即ち、図 7 に示すように、画像処理部の入力側と出力側にそれぞれ一對のラインメモリ 1A、1B と 2A、2B を設け、これら一對のラインメモリ 1A、1B と 2A、2B の間に、拡大・縮小時に倍率に応じて原面の画像データを拡大・縮小処理して変換画像データを作成するデータ補間回路 3 を配置するようにしている。

【0005】かかる従来装置の動作は以下のようになる。拡大時は、主走査方向の 1 走査線分毎に、一方のラインメモリ 1A（又はラインメモリ 1B）に画像データを書き込むと同時に既に画像データが書き込まれた他方のラインメモリ 1B（又はラインメモリ 1A）から、図 8 の D1 で示すように拡大倍率（この場合 4/3 倍）に

3

応じて間欠的に画像データを読み出してデータ補間回路3に入力し、データ補間回路3で作成された変換画像データを、図中のD₀で示すように連続的に一方のラインメモリ2A(又はラインメモリ2B)に書き込むと同時に既に画像データが書き込まれた他方のラインメモリ2B(又はラインメモリ2A)から画像データを読み出して出力装置へ出力する。

【0006】また、縮小時は、主走査方向の1走査線分毎に、一方のラインメモリ1A(又はラインメモリ1B)に画像データを書き込むと同時に他方のラインメモリ1B(又はラインメモリ1A)から、図9のD₁で示すように連続的に画像データを読み出してデータ補間回路3へ入力し、データ補間回路3で作成された変換画像データを、図中のD₀で示すように縮小倍率(この場合3/4倍)に応じて間欠的に一方のラインメモリ2A(又はラインメモリ2B)に書き込むと同時に他方のラインメモリ2B(又はラインメモリ2A)から画像データを読み出して出力装置へ出力する。

【0007】このようにすれば、拡大・縮小のタイミングを制御する変倍タイミング回路4によって、同一のクロックに同期して、画像処理部へ画像データが連続的に入力され、画像処理部で拡大・縮小処理された変換画像データが連続的に出力装置へ出力されることになる。尚、画像処理部の入力側と出力側にそれぞれ2つのラインメモリ1A、1Bと2A、2Bを設けるのは、1走査線分毎に画像データを交互に入力して画像データの読み出しと書き込みをリアルタイムで処理するためである。

【0008】

【発明が解決しようとする課題】ところが、上述したように、拡大時では、データ補間回路3からの画像データの出力は連続的でよく、縮小時では、データ補間回路3への画像データの出力は連続的でよい。このため、拡大時はデータ補間回路3からの変換画像データを直接出力装置側へ出力しても何ら差し支えなく、必ずしもデータ補間回路3からの変換画像データをラインメモリ2A、2Bに一旦記憶させる必要はない。また、縮小時も、データ補間回路3へ画像データを直接入力させても何ら差し支えなく、必ずしもデータ補間回路3より前段のラインメモリ1A、1Bは必要でない。

【0009】本発明は上記の事情に鑑みなされたもので、無駄なラインメモリを削減することにより、部品点数を減らして装置の簡素化及びコストダウンを図ることを目的とする。

【0010】

【課題を解決するための手段】このため、本発明は、画像情報を光電変換して読み取ったA/D変換後の画像データを用いて、主走査方向の画像データを電気的に拡大・縮小する画像処理を行い、出力装置への出力を行う画像処理装置であって、クロックに同期して画像処理部に連続的に画像データが入力され、画像処理部で拡大・縮

4

小処理された変換画像データが前記クロックに同期して画像処理部から連続的に出力装置へ出力される構成のものにおいて、画像処理部に、少なくとも拡大・縮小の倍率に応じて前記画像データを拡大・縮小処理して変換画像データを作成するデータ補間部と、2走査線分の一对のラインメモリとを備え、拡大時は前記一对のラインメモリがデータ補間部の前段に位置するように、また縮小時は前記一对のラインメモリがデータ補間部の後段に位置するように、一对のラインメモリとデータ補間部との位置を切り換える切換手段と、拡大時は一方のラインメモリへ画像データを連続的に入力すると同時に他方のラインメモリに書き込まれた1走査線分の画像データを拡大倍率に応じて間欠的に読み出してデータ補間部へ画像データを入力し、且つ、データ補間部から拡大処理された変換画像データを連続的に出力し、縮小時は画像データをデータ補間部へ直接連続的に入力し、且つ、データ補間部から一方のラインメモリへ変換画像データを縮小倍率に応じて間欠的に書き込むと同時に他方のラインメモリに書き込まれた変換画像データを連続的に読み出し出力装置へ出力するよう拡大・縮小時のタイミングを制御する拡大・縮小タイミング制御手段とを備えて構成した。

【0011】ここで、前記ラインメモリがランダムアクセス可能なメモリ構造である時、拡大時に倍率に応じてラインメモリからの読み出し開始アドレスを指定でき、縮小時に倍率に応じてラインメモリへの書き込みアドレスを指定できる構成とするとよい。また、前記ラインメモリがファーストイン・ファーストアウト構造のメモリである時は、拡大時に倍率に応じてラインメモリへの書き込み開始位置を設定でき、縮小時に倍率に応じてラインメモリからの読み出し開始位置を設定できる構成とするとよい。

【0012】前記拡大・縮小タイミング制御手段は、少なくとも1つの加算器と、該加算器の出力を記憶するラッチ回路とを備えて構成され、前記加算器の一方の入力には、変換倍率の逆数が入力され、他方の入力には前記ラッチ回路出力の少数部が入力され、前記ラッチ回路出力の整数部の値に応じて拡大・縮小処理時の読み出し、書き込みのタイミングを制御するように構成した。

【0013】また、拡大時には前記拡大・縮小タイミング制御手段のラッチ回路出力の整数部が“0”のときラインメモリからの読み出しを休みデータ補間部にて使用するデータを前回と同じデータとし、前記整数部が“1”のとき次のデータが読み出されるようにし、縮小時には前記ラッチ回路出力の整数部が“1”のときラインメモリに新たなデータを書き込み、前記整数部が“2”のときラインメモリにデータを書き込まないようにし且つ前記加算器からの出力を1回のみラッチ回路に取り込むのを停止するよう構成した。

【0014】

5

【作用】かかる構成において、拡大時には、一対のラインメモリをデータ補間部の前段に位置させることで、読み取った原面の画像データを一旦ラインメモリに記憶させ、データ補間部へ間欠的に入力させることができる。そして、データ補間部からは出力装置側に連続的に変換データを出力させる。

【0015】また、縮小時には、一対のラインメモリをデータ補間部の後段に位置させることで、読み取った原面の画像データを連続的にデータ補間部へ入力する一方、データ補間部からはラインメモリに間欠的に変換データを書き込ませた後、出力装置側に連続的に出力させることができる。このように、拡大時と縮小時とで、一対のラインメモリをデータ補間部の前段と後段に切換接続することで、従来よりラインメモリ数を削減できる。

【0016】また、ラインメモリにランダムアクセス可能なメモリを使用した場合に、拡大時に倍率に応じてラインメモリからの読み出し開始アドレスを指定でき、縮小時に倍率に応じてラインメモリへの書き込みアドレスを指定できるよう構成したり、或いは、ラインメモリがファーストイン・ファーストアウト構造のメモリである時に、拡大時に倍率に応じてラインメモリへの書き込み開始位置を設定でき、縮小時に倍率に応じてラインメモリからの読み出し開始位置を設定できるよう構成すれば、拡大・縮小した画像を記録する場合に、記録紙上で画像位置が偏って記録されたり、必要な余白部分まで拡大記録されて画像がはみ出たりする心配がなく、記録紙上の中央線を基準として正しい位置に記録することができるようになる。

【0017】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1及び図2は、本発明の一実施例を示している。図1において、CCD等の光電変換素子を主走査方向に列設してなる画像読取装置により光電変換して読み取った画像は、A/D変換後、シェーディング補正、色分離、その他の画像処理がなされて所定ビットの画像データに変換された後、2走査線分の一対のラインメモリ11A、11B、データ補間回路12及び拡大・縮小タイミング制御手段としての変倍タイミング回路13等を備えた図1に示す画像処理部に入力される。この画像処理部では、入力された画像データを設定倍率に応じて拡大・縮小処理して変換画像データを作成した後、図示しない出力装置へ出力され、レーザ記録或いは画像メモリへのファイリングがなされる。

【0018】ここで、画像処理部には、切換手段としてのセレクト14、15が設けられており、これらセレクト14、15は、変倍タイミング回路13からの変倍指令に従って、拡大時と縮小時とで切換えられる。拡大時は、セレクト14、15がa側に切換えられ、一対のラインメモリ11A、11Bがデータ補間回路12の前段に位置するようになる。即ち、入力画像データが、ライ

6

ンメモリ11A、11Bに一旦書き込まれた後に、データ補間回路12へ入力される。縮小時は、セレクト14、15がb側に切換えられ、一対のラインメモリ11A、11Bがデータ補間回路12の後段に位置するようになる。即ち、入力画像データが、データ補間回路12へ直接入力された後、ラインメモリ11A、11Bに書き込まれる。

【0019】また、セレクト16、17がラインメモリ11A、11Bの前後に設けられ、変倍タイミング回路13からの指令によって1走査線分の読み込み終了毎に切換えられる。この場合、セレクト16、17は、一方のラインメモリ11A（又は11B）が書き込みモードの時に他方のラインメモリ11B（又は11A）が読み出しモードとなるよう相補的に切換制御される。このため、例えばセレクト17側にはインバータ18を介して指令信号が供給される。

【0020】画像データの拡大・縮小処理は、変倍タイミング回路13からラインメモリ11A、11B及びデータ補間回路12に供給される各タイミング信号に基づいて行われる。即ち、変倍タイミング回路13は、拡大時は、データ補間回路12の前段側に切換位置させた一方のラインメモリ11A（又は11B）へ画像データを連続的に入力すると同時に他方のラインメモリ11B（又は11A）に書き込まれた1走査線分の画像データを拡大倍率に応じて間欠的に読み出してデータ補間回路12へ画像データを入力し、且つ、データ補間回路12から拡大処理された変換画像データを連続的に出力装置側に出力するよう、各ラインメモリ11A、11Bの書き込み及び読み出しタイミング及びデータ補間回路12のデータ出力タイミングを制御する。また、縮小時は、画像データをデータ補間回路12へ直接連続的に入力し、且つ、データ補間回路12からその後段側に切換位置させた一方のラインメモリ11A（又は11B）へ変換画像データを縮小倍率に応じて間欠的に書き込むと同時に他方のラインメモリ11B（又は11A）に書き込まれた変換画像データを連続的に読み出し出力装置へ出力するよう、各ラインメモリ11A、11Bの書き込み及び読み出しタイミング及びデータ補間回路12のデータ出力タイミングを制御する。

【0021】図2に変倍タイミング回路13の具体的な回路構成を示す。図2において、本実施例の変倍タイミング回路13は、1つの加算器21と、該加算器21の出力を記憶するラッチ回路としてのDフリップフロップ回路22（以下、D-F. F回路22とする）と、これとは別のD-F. F回路23と、2つのANDゲート24、25と3つのNOT回路26～28等を備えて構成される。ここで前記加算器21は、指定された倍率の逆数（倍率をmとすると $1/m$ ）とD-F. F回路22の小数部p（出力端子Q₂の出力）を加算するものである。ここで、前記小数部pは、図3に示すように、変換

7

画素 D_{n+1} (データ補間回路12の出力)と原画素 D_1 、 D_2 (データ補間回路12への入力データ)との位置関係を示すことになる。尚、D-F、F回路22は、加算器21からの出力の整数部 n が“1”のとき出力端子 Q_1 が立ち上がり、“2”のとき出力端子 Q_2 が立ち上がる。

【0022】かかる変倍タイミング回路13の動作を説明する。拡大時は、加算器21の一方の入力である倍率の逆数 $1/m$ は1より小さい値となるので、加算器21の加算結果の整数部 n は“0”か“1”の値を持つ。そして、加算器21の加算結果の整数部 n が“0”であるということは、図3に示すように、変換画素 D_{n+1} がその前に求めた変換画素 D_{n+0} にて使用した同じ原画素 D_1 、 D_2 を使用して作成される。そのため、データ補間回路12内の原画素データはそのまま保持するようにする。一方、加算器21の加算結果の整数部 n が“1”である (出力端子 Q_1 が立ち上がる) ということは、図3において、変換画素 D_{n+1} が原画素 D_2 の図中右側に位置することを意味し、データ補間回路12では原画素 D_1 、 D_2 の代わりに原画素 D_2 、 D_3 を使用して変換画素 D_{n+1} を作成するため、データ補間回路12へ次の原画素 D_3 を入力するようにする。

【0023】これにより、拡大時は、ラインメモリ11A又は11B内のデータは、整数部 n が“1”のときに読み出されてデータ補間回路12へ入力され、整数部が“0”の時には読み出しが行われずデータ補間回路12へのデータ入力がない。このようにして、拡大時にはデータ補間回路12へのデータの入力が間欠的に行われる。

【0024】一方、縮小時は、加算器21の一方の入力である倍率の逆数 $1/m$ は1より大きい値となるので、例えば0.5倍以上では、加算器21の加算結果の整数部 n は“1”か“2”の値を持つ。そして、加算器21の加算結果の整数部 n が“1”である時は、データ補間回路12からの出力は有効な変換画素であるので、ラインメモリ11A又は11Bに書き込みを行う。一方、加算器21の加算結果の整数部 n が“2”である (出力端子 Q_2 が立ち上がる) 時は、データ補間回路12からの出力は無効な変換画素であるので、ラインメモリ11A又は11Bへのデータの書き込みは行わない。また、整数部 n が“2”となって出力端子 Q_2 が立ち上がると、それ以前においてD-F、F回路23の端子 Q の出力が“L”であってNOT回路27を介してANDゲート25の一方の入力が“H”になっているので、ANDゲート25の出力が“H”となってNOT回路28を介してD-F、F回路22の端子 CE の入力が“L”となり、D-F、F回路22をディスイネーブル状態とする。また、出力端子 Q_2 の立ち上がりによってANDゲート24の出力が“H”となってD-F、F回路23の端子 D の入力が“H”状態となる。そして、次のクロック入力

8

によって、D-F、F回路23の端子 Q の出力が“H”となり、ANDゲート25の出力が“L”となって、D-F、F回路22が再びイネーブル状態に復帰する。従って、整数部 n が“2”になると、1クロック分、D-F、F回路22をディスイネーブル状態として加算出力の受付を停止する。

【0025】これにより、縮小時は、データ補間回路12から出力される変換画像データは、整数部 n が“1”のときにラインメモリ11A又は11B内に書き込まれ、整数部が“2”の時には書き込みが行われない。このようにして、縮小時にはデータ補間回路12からラインメモリ11A又は11Bへのデータの書き込みが間欠的に行われる。

【0026】ここで、図4にデータ補間回路12の具体的な回路構成を示す。入力データを順番に取り込むD-F、F回路30、31と、入力データと変倍タイミング回路13にて得られた小数部 P 、 $(1-P)$ とをそれぞれ乗算する乗算器32、33と、両乗算器32、33の出力を加算する加算器34と、加算器34の出力を取り込むD-F、F回路35とからなる。そして、拡大時、原画素 D_1 、 D_2 のデータを保持するために、D-F、F回路30、31のクロックイネーブルを制御する。

【0027】尚、この例においては、データ補間方法として以下の式で示す線形補間方法を示した。

$$D_{n+1} = P \times D_2 + (1 - P) \times D_1$$

かかる構成によれば、2つのラインメモリ11A、11Bを設けるだけで、従来と同様に、同一のクロック周波数で拡大・縮小処理する画像処理部へのデータ入力と画像処理部からのデータ出力を連続的に行うことができ、ラインメモリの従来装置に対して半分にでき、装置の簡素化及びコストダウンを図ることができるようになる。

【0028】ところで、画像読み取り或いは画像記録が原稿 (記録紙) の中央を基準にして実行されるような画像処理装置に適用する場合、拡大時は、図5に示すように、ラインメモリに書き込んだ入力画像データの途中からデータ補間回路12に入力する必要がある。このため、ラインメモリ11A、11Bに、ランダムアクセス可能なメモリ、例えばSRAM等を使用した場合には、読み出し開始アドレスを拡大倍率に応じて設定できるように構成する。また、FIFO (ファーストイン・ファーストアウト) メモリを使用した場合には、入力画像データのラインメモリへの書き込み開始位置を拡大倍率に応じて設定できるように構成する。

【0029】また、縮小時は、図6に示すように、ラインメモリ11A、11Bに、ランダムアクセス可能なメモリ、例えばSRAM等を使用した場合には、データ補間後の画像データのメモリへの書き込み開始アドレスを縮小倍率に応じて設定できるように構成する。また、FIFOメモリを使用した場合には、ラインメモリからの読み出し開始位置を縮小倍率に応じて設定できるように

構成する。

【0030】このようにすれば、拡大時及び縮小時共に、記録紙の中央に拡大画像や縮小画像を正しく記録することができ、拡大時に余白部分も拡大されて画像が記録紙からはみ出したり、縮小画像が記録紙上に偏って記録されることを防止できる。尚、FIFOメモリを使用した場合、一対のラインメモリ11A、11Bをシリアルに接続して構成することもできる。即ち、FIFOメモリは、通常、データ入力端子とデータ出力端子を別々に持っており、前段のラインメモリ11Aにデータを書き込んで

【0031】このとき、拡大時は、ラインメモリ11Bからのデータ読み出しを間欠的に行い、縮小時には、ラインメモリ11Aへのデータ書き込みを間欠的に行うようにする。

【0032】

【発明の効果】以上説明したように本発明によれば、拡大時と縮小時とでラインメモリとデータ補間部との位置を入れ換えることにより、ラインメモリ数を半分に削減でき、部品点数の削減により、画像処理装置の簡素化及びコストダウンを図ることができる。

【0033】また、ラインメモリに、ランダムアクセス可能なメモリを使用した場合に倍率に応じて拡大時はラインメモリからの読み出し開始アドレスを指定でき、縮

小時はラインメモリへの書き込みアドレスを指定できる構成とし、ラインメモリに、ファーストイン・ファーストアウト構造のメモリを使用した場合には、倍率に応じて拡大時にラインメモリへの書き込み開始位置を設定でき、縮小時にラインメモリからの読み出し開始位置を設定できる構成とすれば、それぞれ拡大・縮小時に記録紙上の中央を基準として画像の記録ができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す概略構成図

【図2】同上実施例の変倍タイミング回路の回路図

【図3】画像データの出入力タイミングを説明する図

【図4】データ補間回路の具体的な回路例を示す図

【図5】拡大時における中央基準の記録説明のための図

【図6】縮小時における中央基準の記録説明のための図

【図7】従来装置の概略図

【図8】拡大時のデータ補間回路の画像データ入出力状態を示す図

【図9】縮小時のデータ補間回路の画像データ入出力状態を示す図

【符号の説明】

11A、11B ラインメモリ

12 データ補間回路

13 変倍タイミング回路

14、15 セレクタ

16、17 セレクタ

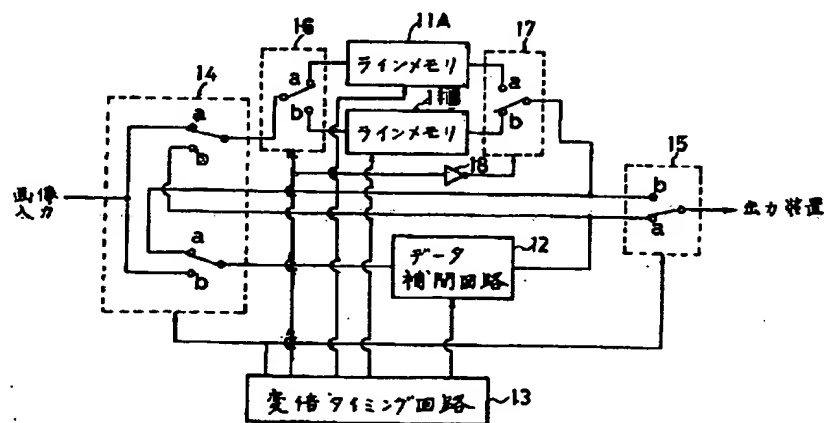
21 加算器

22、23 D-F、F回路

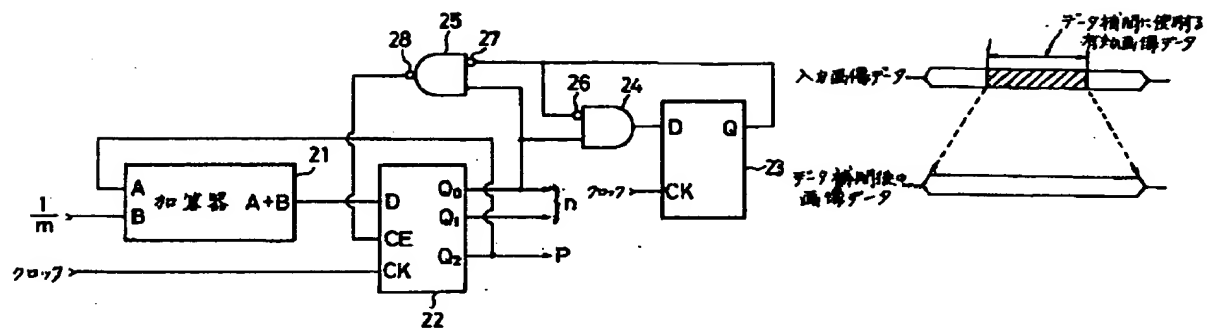
24、25 ANDゲート

26～28 NOT回路

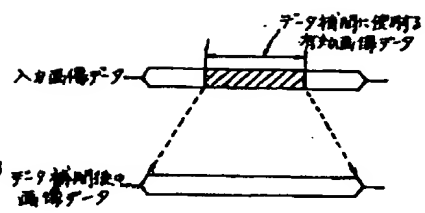
【図1】



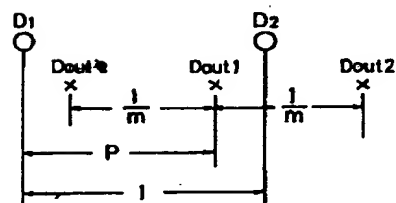
【图 2】



【図 5】



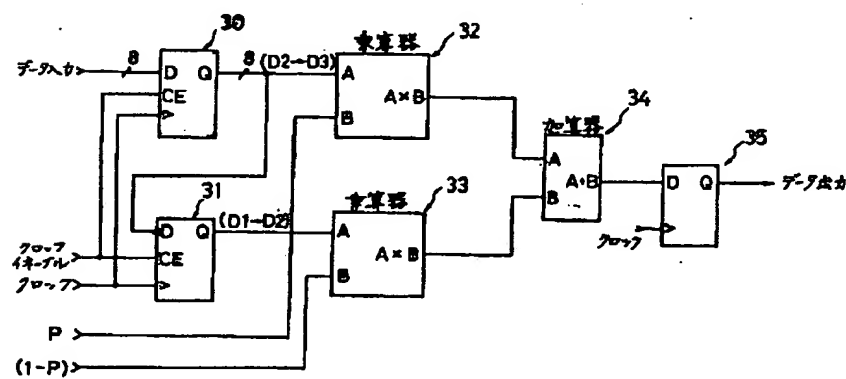
【圖 3】



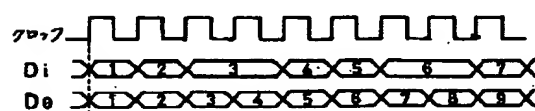
【図 6】



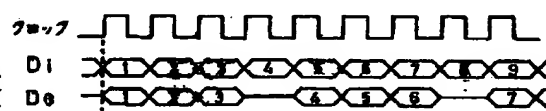
【図4】



【圖 8】



【図9】



【図7】

